

PAT-NO: JP355052596A
DOCUMENT-IDENTIFIER: JP 55052596 A
TITLE: SHIFT REGISTER CIRCUIT
PUBN-DATE: April 17, 1980

INVENTOR-INFORMATION:
NAME
TANAKA, NORISHIGE

ASSIGNEE-INFORMATION:
NAME TOSHIBA CORP COUNTRY
N/A

APPL-NO: JP53125870
APPL-DATE: October 13, 1978

INT-CL (IPC): G11C019/28

US-CL-CURRENT: 365/78

ABSTRACT:

PURPOSE: To simplify circuit constitution by reducing a chip size in case of IC-implementation by driving cascaded one-bit shift registers by a single clock signal.

CONSTITUTION: One-bit shift registers 2^{20} are cascaded and supplied with single clock signal ϕ in parallel, and an output from final-stage register 2^8 is fed back

to initialstage
register 20<SB>1</SB> through control gate logic circuit 21
supplied with a
control signal. Those registers
20<SB>1</SB>∼20<SB>8</SB> are provided
with a circuit of N-type FETs 25 and 26 connected in series
between power
supply V<SB>ss</SB> and output terminal 24 and that of P-
type FETs 27 and 28
connected in series between power supply VDD and output
terminal 24. Gates of
those FETs 26 and 27 are connected for input terminal 29,
and those of FETs 25
and 28 are also connected to obtain an input termianl for
clock signal ϕ iv;;
so that prior-stage and post-stage clock **inverters** 22 and
23 will be
constituted. Then, registers 20<SB>1</SB>∼20<SB>8</SB>
are driven by
single clock signal ϕ iv;.

COPYRIGHT: (C) 1980, JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—52596

⑬ Int. Cl.³
G 11 C 19/28

識別記号

庁内整理番号
6503—5B

⑭ 公開 昭和55年(1980)4月17日

発明の数 1
審査請求 未請求

(全 6 頁)

⑮ シフトレジスタ回路

大分市大字松岡3500番地東京芝
浦電気株式会社大分工場内

⑯ 特 願 昭53—125870

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭53(1978)10月13日

川崎市幸区堀川町72番地

⑲ 発 明 者 田中教成

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

シフトレジスタ回路

2. 特許請求の範囲

(1) 第1のチャンネル型を有する2個の絶縁ゲート電界効果トランジスタを第1の電源と出力端子との間に直列接続し、第2のチャンネル型を有する2個の絶縁ゲート電界効果トランジスタを第2の電源と出力端子との間に直列接続し、上記相異なるチャンネル型を有する1方対の絶縁ゲート電界効果トランジスタのゲート電極どおしを接続して入力端子とすると共に、他方対の絶縁ゲート電界効果トランジスタのゲート電極どおしを接続してクロック信号入力端子としてなる絶縁ゲート電界効果トランジスタ回路を、前段の出力端子と後段の入力端子とを接続する如く偶数個縦列接続してなり、終段の絶縁ゲート電界効果トランジスタ回路の出力信号を初段の絶縁ゲート電界効果トランジスタ回路に帰還するようにしたことを特徴とするシフトレ

ジスタ回路。

(2) 前記奇数段の絶縁ゲート電界効果トランジスタ回路の第1のチャンネル型を有する2個の絶縁ゲート電界効果トランジスタの g_m の値を小さく設定すると共に第2のチャンネル型を有する2個の絶縁ゲート電界効果トランジスタの g_m の値を大きく設定し、前記偶数段の絶縁ゲート電界効果トランジスタ回路の第1のチャンネル型を有する2個の絶縁ゲート電界効果トランジスタの g_m の値を大きく設定すると共に第2のチャンネル型を有する2個の絶縁ゲート電界効果トランジスタの g_m の値を小さく設定するようにした特許請求の範囲第1項記載のシフトレジスタ回路。

3. 発明の詳細な説明

この発明は相補型の絶縁ゲート電界効果トランジスタで構成したシフトレジスタ回路に関する。

第1図は1ビットシフトレジスタをN個用いたNビットシフトレジスタ回路の一般的な構成

を示すブロック図である。図においてN個の1ビットシフトレジスタ $1_1, 1_2, 1_3, \dots, 1_{N-1}, 1_N$ は縦列接続されていて、初段の1ビットシフトレジスタ 1_1 の入力端子には入力信号INが供給されるようになっている。さらに終段の1ビットシフトレジスタ 1_N の出力信号OUTは、制御ゲート論理回路2を介して、上記初段の1ビットシフトレジスタ 1_1 の入力信号INとして供給されるようになっている。上記制御ゲート論理回路2には制御信号が供給されていて、制御ゲート論理回路2はこの制御信号に応じてその出力動作が制御されるようになっている。そして初段の1ビットシフトレジスタ 1_1 に入力される入力信号INは、各段の1ビットシフトレジスタに並列的に供給されるクロック信号に同期して1ビットずつ順次遅延され、終段の1ビットシフトレジスタ 1_N ではNビット遅延された出力信号OUTが得られるようになっている。

第2図は上記Nビットシフトレジスタ回路を

3

され、この接続点に入力信号Aが供給されている。またN-FET 11のゲート電極にはクロック信号 ϕ が供給され、P-FET 13のゲート電極には反転クロック信号 $\bar{\phi}$ が供給されている。第3図(b)に示す回路では、N-FET 10とP-FET 12のゲート電極どおしが接続され、この接続点に入力信号Aが供給され、さらにN-FET 11のゲート電極にクロック信号 ϕ が供給され、P-FET 13のゲート電極に反転クロック信号 $\bar{\phi}$ が供給されている。第3図(c)に示す回路では、N-FET 11とP-FET 13のゲート電極どおしが接続され、この接続点に入力信号Aが供給され、さらにN-FET 10のゲート電極にクロック信号 ϕ が供給され、P-FET 12のゲート電極に反転クロック信号 $\bar{\phi}$ が供給されている。第3図(d)に示す回路では、N-FET 10とP-FET 13のゲート電極どおしが接続され、この接続点に入力信号Aが供給され、さらにN-FET 11のゲート電極にクロック信号 ϕ が供給され、P-FET 12のゲート電極に反転ク

5

構成する従来の1ビットシフトレジスタ1のシンボル図である。図示するように1ビットシフトレジスタ1は、いわゆるクロックドインバータが2個直列接続された構成となっていて、前段のクロックドインバータ3の2つのクロック端子にはクロック信号 ϕ およびこの信号の反転信号 $\bar{\phi}$ が供給されていて、さらに後段のクロックドインバータ4の2つのクロック端子には、クロックドインバータ3とは逆に反転クロック信号 $\bar{\phi}$ とクロック信号 ϕ が供給されている。

第3図(a)~(d)それぞれは上記従来の1ビットシフトレジスタ1の前段のクロックドインバータ3のみを具体的に示す構成図である。第3図(a)に示す回路では、電源 V_{SS} と電源 V_{DD} との間に2個のNチャネルMOS型電界効果トランジスタ(以下N-FETと略称する)10, 11と、2個のPチャネルMOS型電界効果トランジスタ(以下P-FETと略称する)12, 13とがこの順で直列接続されている。そしてN-FET 11とP-FET 12のゲート電極どおしが接続

4

ロック信号 $\bar{\phi}$ が供給されている。上記第3図(a)~(d)それぞれに示す回路は、いずれもクロック信号 ϕ および反転クロック信号 $\bar{\phi}$ に同期してインバータ動作するクロックドインバータとして作用する。なお他方のクロックドインバータ4では、単にクロック信号 ϕ と反転クロック信号 $\bar{\phi}$ とが入れ替わるだけである。

ところで上記従来の1ビットシフトレジスタでは、クロック信号として ϕ と $\bar{\phi}$ を使用しているため、クロック信号 ϕ から反転クロック信号 $\bar{\phi}$ を作るための反転回路が他に必要であると共に、クロック信号 ϕ と反転クロック信号 $\bar{\phi}$ を伝送するために2本の配線が必要である。このため従来のシフトレジスタ回路では集積回路化する場合、チップサイズの縮小化が困難となり、製造価格は高価格にならざるを得ないといった欠点がある。

この発明は上記のような事情を考慮してなされたものであり、その目的とするところは、集積回路化する場合のチップサイズを縮小化する

6

ことができ、したがって製造価格が安価なシフトレジスタ回路を提供することにある。

以下図面を参照してこの発明の1実施例を説明する。第4図はこの発明のシフトレジスタ回路の1実施例の構成を示すブロック図で、ここでは8ビットシフトレジスタ回路を示す。図において8個の1ビットシフトレジスタ20₁、20₂、20₃、…20₈は縦列接続されていて、さらに各1ビットシフトレジスタ20には並列的にクロック信号φが供給されるようになっている。また初段の1ビットシフトレジスタ20₁の入力端子には入力信号INが供給されるようになっている、さらに終段の1ビットシフトレジスタ20₈の出力信号OUTは、制御ゲート論理回路21を介して、上記初段の1ビットシフトレジスタ20₁に信号INとして供給されるようになっている。上記制御ゲート論理回路21にはまた制御信号が供給されていて、制御ゲート論理回路21はこの制御信号に応じてその出力動作が制御されるようになつて

7

れと同じ構成のクロックドインバータ22を直列接続したものである。

次に上記のように構成された回路の動作を第7図に示す波形図を併用して説明する。先ず第7図に示すような波形の入力信号INを初段の1ビットシフトレジスタ20₁にする。入力信号A₁(IN)高レベル(V_{DD}レベル)のときにクロック信号φが高レベルに立上ると、初段のシフトレジスタ20₁の、前段のクロックドインバータ22において、N-FET 25、26が共に導通し、クロックドインバータ22の出力信号B₁は低レベル(V_{SS}レベル)になる。次にこの状態でクロック信号φが低レベルに反転すると、P-FET 27、28が共に導通するので、後段のクロックドインバータ23の出力信号C₁は第7図に示すように高レベルに立上る。この時点において初段の1ビットシフトレジスタ20₁の出力信号C₁は、入力信号INよりもクロック信号φの半ビット分遅延されたものになっている。以下同様に初段の1ビ

9

いる。

第5図は上記8ビットシフトレジスタ回路を構成する各1ビットシフトレジスタ20のシンボル図である。図示するように1ビットシフトレジスタ20は、いわゆるクロックドインバータを2個直列接続した構成となつていて、前段および後段のクロックドインバータ22、23それぞれの2つクロック端子には並列的にクロック信号φが供給されている。

第6図は上記1ビットシフトレジスタ20を具体的に示す構成図である。すなわち、1ビットシフトレジスタ20は図示するように、電源V_{SS}と出力端子24との間に2個のN-FET 25、26を直列接続し、さらに電源V_{DD}と出力端子24との間に2個のP-FET 27、28を直列接続し、上記N-FET 26とP-FET 27のゲート電極とおしを接続して端子29とし、上記N-FET 25とP-FET 28のゲート電極とおしを接続してクロック信号φの供給端子としたクロックドインバータ22にこ

8

ットシフトレジスタ20₁はクロック信号φに同期して信号INを順次半ビットあるいは1ビット遅延する。さらに同様にこれに続く1ビットシフトレジスタ20₂、20₃、…20₈は、前段の出力信号を第7図に示すように順次1ビット毎遅延する。したがって終段の1ビットシフトレジスタ20₈の出力信号C₈すなわちOUTは、信号INに対して8ビット(正確には7ビット半)分遅延された信号になっている。このように上記第4図に示す回路は8ビットのシフトレジスタ回路として作用する。そしてクロック信号としてはクロック信号φのみを用いているので従来のように反転クロック信号φを作るための反転回路は不必要となり、さらにクロック信号を伝送するための配線は1本設ければよいので、この回路を集積回路化する場合にクロック信号伝送のためのパターン占有面積は従来に比べて大幅に少なくすることができる。したがって上記のような点から、上記実施例回路を集積回路化した場合に、チップサイ

10

ズの縮小化を実現することができる。またさらにクロック信号としてクロック信号φのみを用いているので、各段の1ビットシフトレジスタ20の出力信号C₁に位相遅れがなくなり、全体の電流消費量は従来に比較して低減化されるという効果を得ることができる。

ところで上記第4図に示すシフトレジスタ回路において、入力信号INが低レベルになつている期間がクロック信号φの1ビット分に相当する場合には誤動作を起こす可能性がある。

第8図は上記第4図に示す回路から1ビットシフトレジスタ20を1ビット半のみ抜き出して示す図である。いま第9図に示すようにt₀においてクロック信号φおよび信号A₁が共に低レベルのとき、クロックドインバータ22のP-FET 27、28は共に導通し、N-FET 25、26は共に非導通となる。この結果クロックドインバータ22の出力信号B₁は高レベルとなる。このとき次段のクロックドインバータ23ではN-FET 26とP-FET 28が

11

なり、さらにこれに続くクロックドインバータ22の出力信号B₁は低レベルのままとなる。つまり誤動作を起こすことになる。この誤動作を防ぐにはクロックドインバータ22のN-FET 25、26の g_m の値を小さくすると共にクロックドインバータ23のN-FET 25、26の g_m の値を大きくすれば良い。これによりクロックドインバータ22の出力信号B₁は第10図に示すようにt₁のタイミングより遅れて立下る。したがってクロック信号φと信号B₁とが共に高レベルとなる期間が存在し、クロックドインバータ23の出力信号C₁は第10図に示すように低レベルに立下る。またこのときクロックドインバータ23のP-FET 27、28の g_m の値を小さくすると共に、クロックドインバータ22のP-FET 27、28の g_m の値を大きくすれば、第10図に示すようにクロックドインバータ23の出力信号C₁はt₁のタイミングより遅れて立上る。したがってクロック信号φと信号C₁とが共に低レベ

13

特開昭55-52596(4)

導通し、N-FET 25とP-FET 27が非導通となるので、その出力状態は高インピーダンス状態となり、クロックドインバータ23の出力信号C₁は第9図に示すように高レベルを保っている。したがってクロックドインバータ22の出力信号B₁は第9図に示すように低レベルを保っている。

次にt₁においてクロック信号φおよび信号A₁が共に高レベルに立上ると、クロックドインバータ22においてN-FET 25、26が共に導通し、P-FET 27、28は共に非導通となる。この結果クロックドインバータ22の出力信号B₁は第9図に示すように低レベルに立下る。しかしながら次段のクロックドインバータ23では、N-FET 26とP-FET 27が導通し、N-FET 25とP-FET 28が非導通となるので、その出力状態は高インピーダンス状態のままとなる。したがって第9図に示すようにt₁においても、クロックドインバータ23の出力信号C₁は高レベルのままと

12

ルとなる期間が存在し、クロックドインバータ22の出力信号B₁は第10図に示すように高レベルに立上る。すなわち、誤動作を防止することができる。また各N-FETおよび各P-FETの g_m の値は、各FETのゲート幅、ゲート長等を散定することにより自由に制御することができる。

なおこの発明は上記した1実施例に限定されるものではなく、例えば第6図に示した1ビットシフトレジスタ20は第11図(a)~(c)それぞれに示すように構成しても良いことはもちろんである。

以上説明したようにこの発明によれば、単一のクロック信号を用いるようにしたので、集積回路化する場合のチップサイズを縮小化することができ、もつて製造価格の安価なシフトレジスタ回路を提供することができる。

4. 図面の簡単な説明

第1図はシフトレジスタ回路の一般的な構成を示すブロック図、第2図は従来の1ビットシ

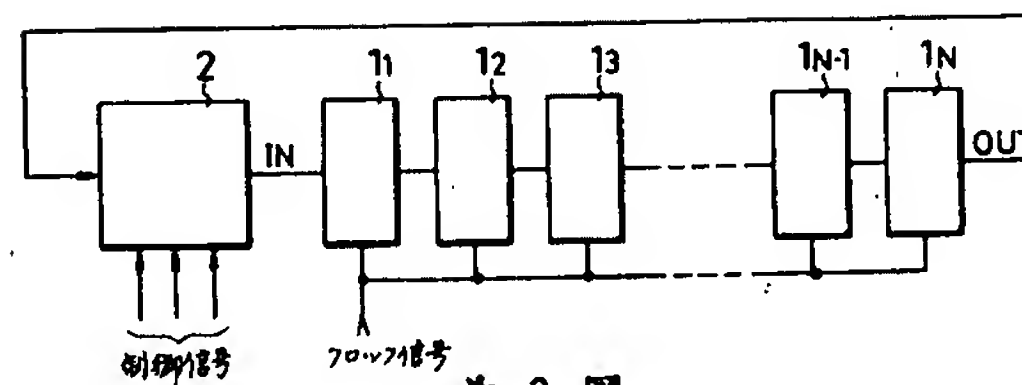
14

フトレジスタのシンボル図、第3図(a)~(d)はそれぞれ上記1ビットシフトレジスタを詳細に示す図、第4図はこの発明の1実施例の構成を示すブロック図、第5図は上記実施例の1部分を抜き出して示すシンボル図、第6図は第5図に示す回路を詳細に示す図、第7図は上記実施例の動作を説明するための波形図、第8図は第4図に示す回路の1部分を抜き出して詳細に示す図、第9図および第10図はそれぞれ第8図に示す回路の動作を説明するための波形図、第11図(a)~(c)はそれぞれこの発明の他の実施例の構成を示す回路図である。

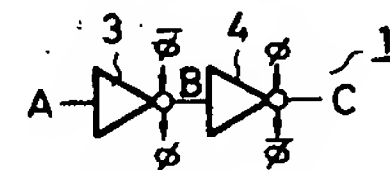
20₁、~20₈…1ビットシフトレジスタ、
21…制御ゲート論理回路、22、23…クロックディンバータ、25、26…NチャンネルMOS型電界効果トランジスタ、27、28…PチャンネルMOS型電界効果トランジスタ。

出願人代理人 弁理士 鈴江武彦

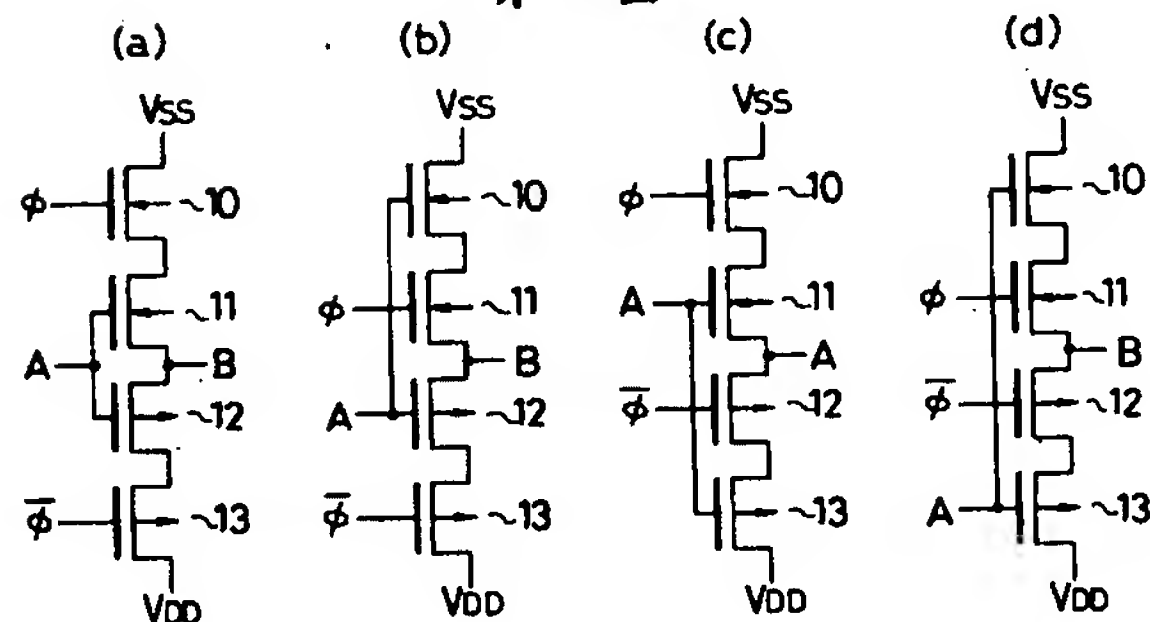
* 1 図



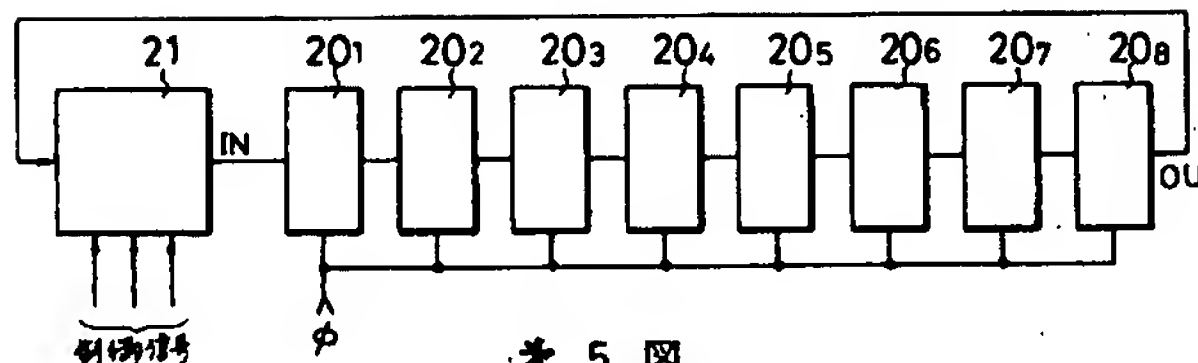
* 2 図



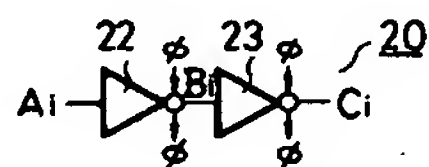
* 3 図



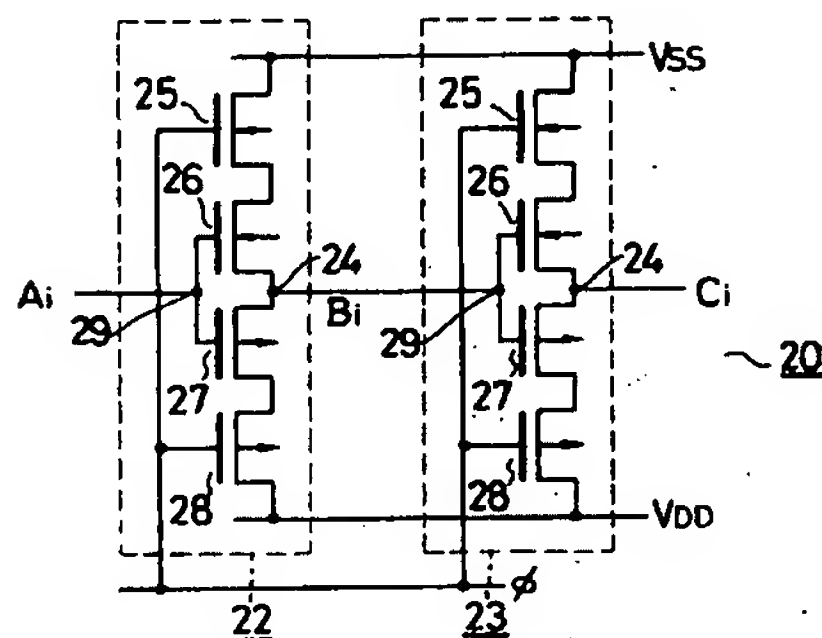
* 4 図



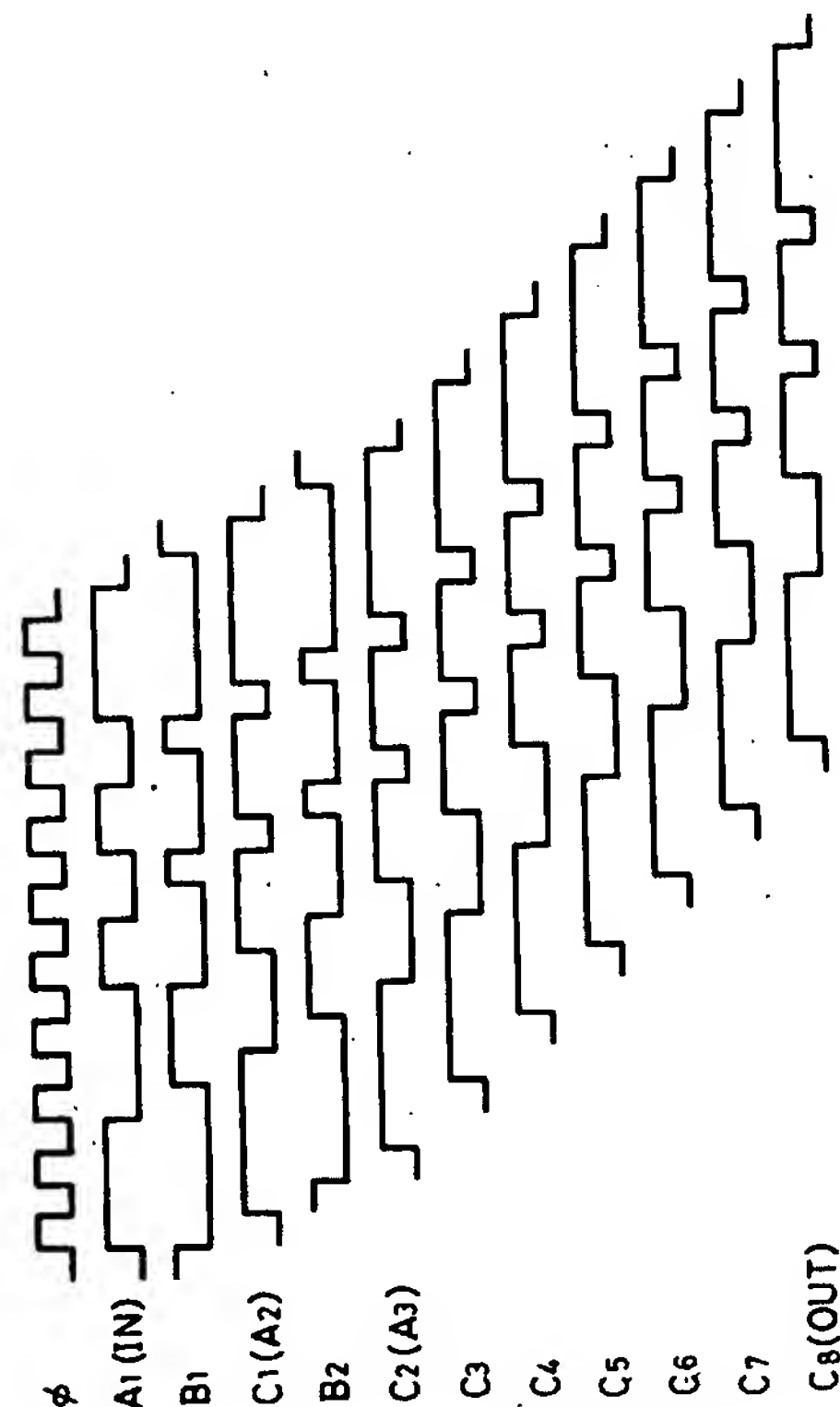
* 5 図



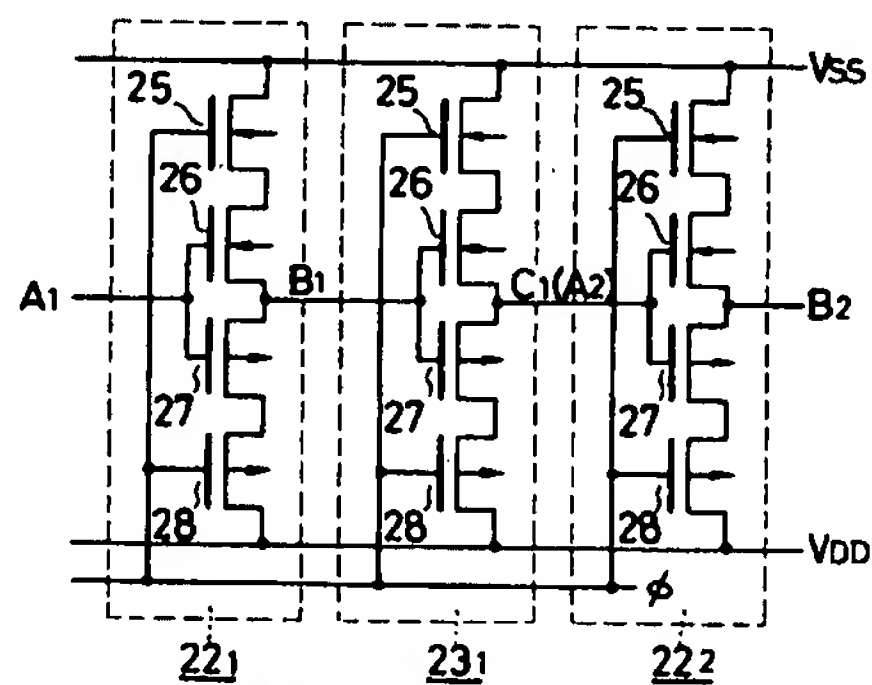
* 6 図



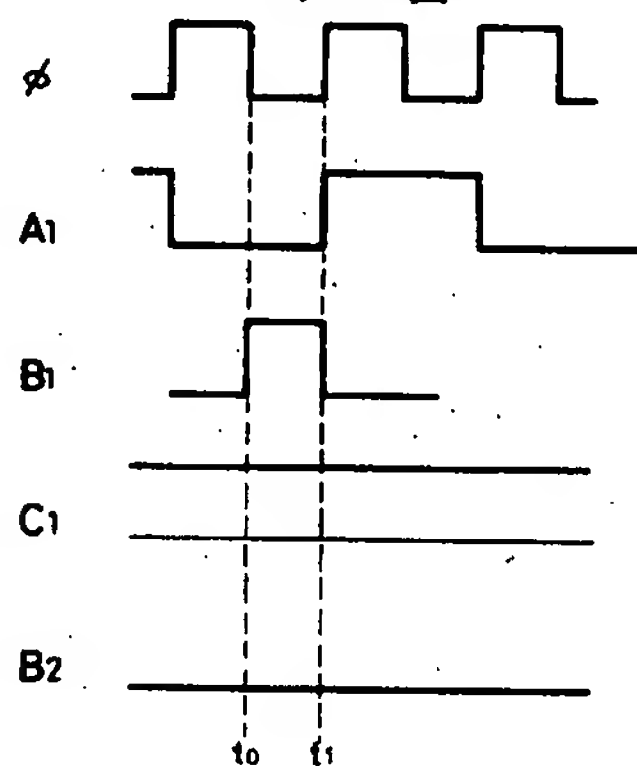
* 7 図



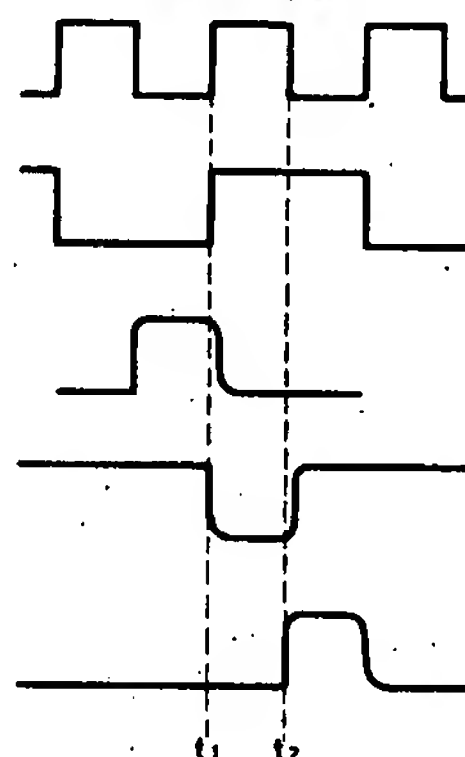
* 8 図



* 9 図

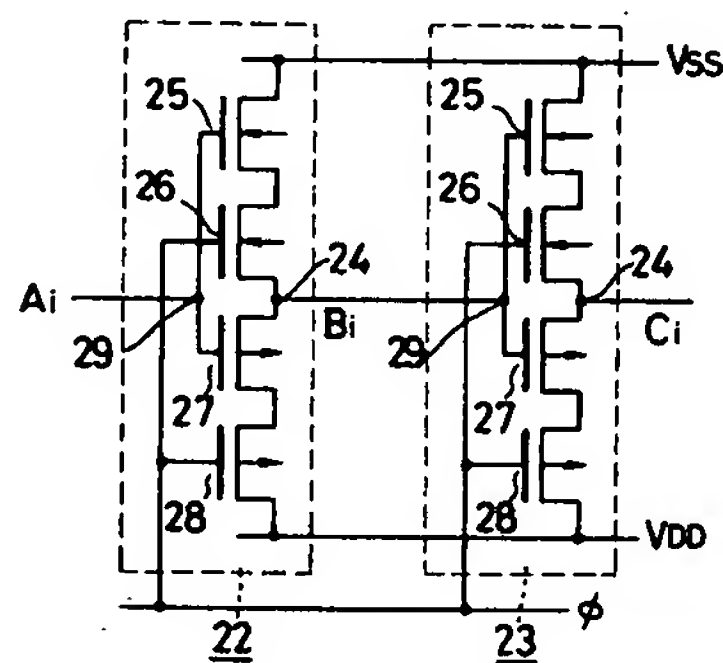


* 10 図



* 11 図

(a)



(b)

(c)

